

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

CHOONG YONG SOHN, ET AL.

Application No.:

Filed:

For: **Method of Forming a Buffer Dielectric Layer
In A Semiconductor Device and A Method of
Manufacturing a Thin Film Transistor
Using the Same**

Art Group:

Examiner:

Commissioner for Patents
P.O, Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	10-2002-0081480	18 December 2002

A certified copy of the document is being submitted herewith.

Dated: 10/2/03

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Eric S. Hyman, Reg. No. 30,139

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0081480
Application Number

출원년월일 : 2002년 12월 18일
Date of Application DEC 18, 2002

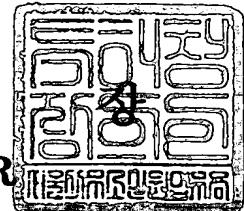
출원인 : 한국전자통신연구원
Applicant(s) Electronics and Telecommunications Research Institute



2003년 06월 02일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2002. 12. 18
【발명의 명칭】	반도체 소자의 버퍼 절연막 형성 방법 및 이를 이용한 박막 트랜지스터 제조 방법
【발명의 영문명칭】	Method of forming a buffer dielectric layer in a semiconductor device and a manufacturing a thin film transistor using the same
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	2001-032061-5
【발명자】	
【성명의 국문표기】	손충용
【성명의 영문표기】	SOHN, Choong Yong
【주민등록번호】	730802-1114114
【우편번호】	361-240
【주소】	충청북도 청주시 흥덕구 개신동 주공1단지 104-501
【국적】	KR
【발명자】	
【성명의 국문표기】	김용해
【성명의 영문표기】	KIM, Yong Hae
【주민등록번호】	700103-1481514
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 1동 상록마을 우성아파트 320-302
【국적】	KR

【발명자】

【성명의 국문표기】 이진호
 【성명의 영문표기】 LEE, Jin Ho
 【주민등록번호】 571006-1683017
 【우편번호】 305-333
 【주소】 대전광역시 유성구 어은동 한빛아파트 108-1803
 【국적】 KR

【발명자】

【성명의 국문표기】 고영욱
 【성명의 영문표기】 KO, Young Wook
 【주민등록번호】 620109-1011016
 【우편번호】 302-772
 【주소】 대전광역시 서구 둔산1동 크로바아파트 109-806
 【국적】 KR

【발명자】

【성명의 국문표기】 정중희
 【성명의 영문표기】 CHUNG, Choong Heui
 【주민등록번호】 741213-1639318
 【우편번호】 302-740
 【주소】 대전광역시 서구 만년동 1-1 초원아파트 106-209
 【국적】 KR

【심사청구】

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
 신영무 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	1	면	1,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	8	항	365,000	원
【합계】	395,000			원
【감면사유】	정부출연연구기관			
【감면후 수수료】	197,500			원

【기술이전】



1020020081480

출력 일자: 2003/6/3

【기술이전】

【기술양도】

희망

【실시권 허여】

희망

【기술지도】

희망

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 버퍼 절연막 형성 방법 및 이를 이용한 박막 트랜지스터 제조 방법에 관한 것으로, 비정질 실리콘층 및 기판 사이에 열전도도가 낮은 포러스실리카 물질이 포함된 버퍼 절연막을 형성하여 기판으로의 열전달을 최소화하고 결정성장 시간을 확보한 상태에서 레이저를 이용하여 폴리실리콘 활성층을 형성함으로써, ELA 방법으로 비정질 실리콘층을 결정화할 경우에는 결정립 크기가 극대화된 폴리실리콘 활성층을 형성하는 것이 가능하여 소자의 전하 이동도를 향상시킬 수 있으며, SLS 방법으로 비정질 실리콘층을 결정화할 경우에는 SLG(Super Lateral Grain) 길이가 증가되어 마스크 간격을 증가하여도 결정이 만나는 부위에서 핵생성 현상이 발생되는 것을 방지할 수 있어 마스크의 이동수를 최소화하고 공정의 생산성을 향상시킬 수 있는 반도체 소자의 버퍼 절연막 형성 방법 및 이를 이용한 박막 트랜지스터 제조 방법이 개시된다.

【대표도】

도 3f

【색인어】

포러스실리카, 버퍼절연막, 박막트랜지스터, 폴리실리콘, TFT, 레이저, 결정화, SLS, ELA

【명세서】**【발명의 명칭】**

반도체 소자의 버퍼 절연막 형성 방법 및 이를 이용한 박막 트랜지스터 제조 방법
{Method of forming a buffer dielectric layer in a semiconductor device and a manufacturing a thin film transistor using the same}

【도면의 간단한 설명】

도 1은 ELA 방법을 이용한 종래의 폴리실리콘 활성층 형성 방법을 설명하기 위한 사시도이다.

도 2는 SLS 방법을 이용한 종래의 폴리실리콘 활성층 형성 방법을 설명하기 위한 개념도이다.

도 3a 내지 도 3f는 본 발명의 실시예에 따른 반도체 소자의 박막 트랜지스터 제조 방법을 설명하기 위한 소자의 단면도들이다.

도 4는 도 3d에서 폴리실리콘 활성층을 ELA 방법으로 형성하는 경우를 설명하기 위한 사시도이다.

도 5는 도 3d에서 폴리실리콘 활성층을 SLS 방법으로 형성하는 경우를 설명하기 위한 개념도이다.

<도면의 주요 부분에 대한 부호의 설명>

101, 301 : 기판 302 : 실리콘 질화막

303 : 포러스실리카막 104, 304 : 실리콘 산화막

305 : 버퍼 절연막 106a, 306a : 비정질 실리콘층

106b, 306b : 폴리실리콘 활성층 307 : 게이트 절연막

306c : N+ 또는 P+ 도프트 폴리실리콘 활성층

308 : 게이트 전극 309 : 층간 절연막

310 : 소오스 전극 311 : 드레인 전극

312 : 보호층 313 : 픽셀 전극

201, 501 : 마스크 패턴 202 : 핵 생성 영역

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 반도체 소자의 베퍼 절연막 형성 방법 및 이를 이용한 박막 트랜지스터 제조 방법에 관한 것으로, 특히 비정질 실리콘층을 형성한 후 레이저를 이용하여 폴리실리콘 활성층을 형성하는 과정에서 기판으로의 열전달을 최소화하여 기판의 손상을 억제하면서 폴리실리콘의 결정립 성장을 극대화할 수 있는 반도체 소자의 베퍼 절연막 형성 방법 및 이를 이용한 박막 트랜지스터 제조 방법에 관한 것이다.

<17> 일반적으로, 폴리실리콘 박막트랜지스터는 능동형 액정표시소자나 능동형 유기EL의 화소 구동용 소자 및 게이트와 데이터 회로의 구동소자로 사용된다. 특히, 패널에 구동 회로가 집적된 시스템일체형디스플레이(System on a Display; SOD) 제작에 있어서, 활성층으로 사용되는 폴리실리콘의 결정화 특성은 패널에 집적할 수

있는 구동회로 블록의 한계를 정하는 결정적 요소이므로 실리콘의 결정립 크기와 결정성을 극대화하는 기술이 요구된다.

<18> 실리콘의 결정립 크기와 결정성을 극대화하는 방법으로 레이저를 이용한 방법이 있다. 레이저를 사용하여 비정질실리콘을 결정화하는 방법에는 라인빔 형태의 펄스레이저를 스캔하여 다결정을 얻는 ELA(Excimer Laser Annealing) 방법과 측면결정성장 특성을 이용하여 단결정과 유사한 폴리실리콘을 얻는 순차측면결정성장 방법(Sequential Lateral Solidification; 이하 SLS) 방법이 있다. 도 1 및 도 2를 참조하여 ELA 방법 및 SLS 방법을 이용한 폴리실리콘 활성층 형성 방법을 설명하면 다음과 같다.

<19> 도 1은 ELA 방법을 이용한 종래의 폴리실리콘 활성층 형성 방법을 설명하기 위한 사시도이다.

<20> 도 1을 참조하면, SiO_2 막(104)으로 이루어진 버퍼절연막이 형성된 글래스(Glass) 또는 실리콘 웨이퍼(Si-wafer) 기판(101) 상부에 비정질실리콘층(106a)을 형성한다. 이후, 라인빔 형태의 레이저로 스캔하는 ELA 방법으로 통상 200 내지 400nm 정도의 결정립 크기를 가지는 폴리실리콘 활성층(106b)을 형성한다. 이러한 ELA 방법은 소자 제작 시 약 $100\text{cm}^2/\text{v.sec}$ 전후의 전하 이동도를 얻을 수 있다.

<21> 하지만, ELA 방법으로 폴리실리콘 활성층(106b)을 형성하는 경우, 전하이동도의 향상을 위해서는 실리콘의 결정립 크기가 충분히 커야 하는데, 실리콘의 레이저에 의해 녹은 후 충분한 결정성장이 일어나기 전에 버퍼 절연막인 SiO_2 막(104)과 기판(101) 방향으로 열이 빠르게 소멸되기 때문에, 결정성장 시간을 확보하기가 어려워 결정립 크기를 증가시키는데 한계가 있다.

<22> 도 2는 SLS 방법을 이용한 종래의 폴리실리콘 활성층 형성 방법을 설명하기 위한 개념도이다.

<23> 도 2를 참조하면, SLS 방법은 ELA와 달리, 기판(101) 상부에 SiO_2 막(104)으로 이루어진 버퍼절연막을 형성하고 SiO_2 막(104) 상부에 비정질 실리콘층(106a)을 순차적으로 형성한 후, 비정질 실리콘층(106a) 상부에 일정한 간격을 가지는 마스크 패턴(201)을 형성한 상태에서 레이저를 조사한다. 이렇게 마스크 패턴(201)을 형성한 상태에서 레이저를 조사하면, 마스크 패턴(201)에 의해 가려진 부위의 고상 실리콘에서부터 가운데 방향으로 측면결정성장이 진행되며, 마스크 간격보다 작은 거리만큼 이동하여 순차적으로 레이저에 노출시킴으로써 측면성장한 결정의 크기를 극대화할 수 있다. 이러한 SLS 방법은 James S. Im의 미국공개특허 'US6368945B1'에서 제안되었으며, 소자 제작 시 ELA 방법에 비해 매우 향상된 전하 이동도를 얻을 수 있다.

<24> 하지만, SLS 방법으로 비정질실리콘층을 결정화시키는 과정에서 SLG(Super Lateral Grain) 길이가 마스크 간격의 절반보다 짧을 경우 결정이 만나는 중간부분 경계에서 새로운 핵생성(202)이 일어나 연속측면성장한 결정의 실리콘을 얻을 수 없다. 따라서, 핵생성부(202)가 형성되지 않도록 레이저 에너지와 마스크의 간격을 잘 조절해야 하는데, 마스크 간격의 제한은 공정진행 시 마스크 이동횟수를 증대시켜 생산성(Throughput)을 감소시키게 된다.

<25> 또한, 상기에서와 같이 레이저를 이용하여 비정질실리콘층을 결정화시키는 기술은 비정질실리콘을 녹여 충분히 결정성장을 시킬 수 있을 만큼의 강한 레이저 에너지를 사용하기 때문에, 플라스틱 기판 상부에서 레이저를 사용할 경우 열에 의해 기판이 손상될 수 있다. 따라서, 버퍼 절연막이 SiO

2의 단일막으로 형성된 상태에서는 충분한 에너지의 레이저를 조사할 수 없다. 따라서, 레이저 에너지를 크게 줄이거나 펄스시간을 최소화하여 결정화 공정을 진행할 수밖에 없는데, 그런 경우 실리콘의 우수한 결정립을 얻을 수 없다.

<26> 한편, 공개특허공보 제2000-3176호에 개시된 인용발명에는 유리 기판 상에 포러스 실리카막을 형성하고, 그 상부에 실리콘 질화막을 형성한 후 실리콘층을 형성하는 기술 내용이 기재되어 있다. 상기의 인용발명은 실리콘 질화막을 SiH_4 가스와 NH_3 가스를 사용하여 화학기상 증착법으로 형성하는데, 이로 인해 증착 후 실리콘질화막에 다량의 수소가 함유되며, 이 수소는 바로 위 형성되는 비정질실리콘을 레이저로 결정화시키는 과정에서 실리콘 쪽으로 분출하여 폴리실리콘막에 결함을 발생시키는 문제점이 발생된다. 또한, 실리콘산화막에 비해 실리콘질화막의 열전도도가 다소 높으므로 포러스실리카막 위에 질화막이 있을 경우 산화막보다 열의 손실이 더 많이 발생할 가능성이 있어 결정화 특성을 저하시킬 수 있다. 더욱이, 실리콘질화막에 함유되어있는 질소 성분이 폴리실리콘 소자의 채널쪽으로 확산되어 들어갈 경우 소자 특성을 저하시킬 수 있다.

【발명이 이루고자 하는 기술적 과제】

<27> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 비정질 실리콘층 및 기판 사이에 열전도도가 낮은 포러스실리카 물질이 포함된 베퍼 절연막을 형성하여 기판으로의 열전달을 최소화하고 결정성장 시간을 확보한 상태에서 레이저를 이용하여 폴리실리콘 활성층을 형성함으로써, ELA 방법으로 비정질 실리콘층을 결정화할 경우에는 결정립 크기가 극대화된 폴리실리콘 활성층을 형성하는 것이 가능하여 소자의 전하 이동도를 향상 시킬 수 있으며, SLS 방법으로 비정질 실리콘층을 결정화할 경우에는 SLG(Super Lateral Grain) 길이가 증가되어 마스크 간격을 증가하여도 결정이 만나는 부위에서 핵생성 현상



이 발생되는 것을 방지할 수 있어 마스크의 이동수를 최소화하고 공정의 생산성을 향상 시킬 수 있는 반도체 소자의 버퍼 절연막 형성 방법 및 이를 이용한 박막 트랜지스터 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<28> 본 발명의 실시예에 따른 반도체 소자의 버퍼 절연막 형성 방법은 기판 상에 실리콘 질화막을 형성하는 단계와, 실리콘 질화막 상에 포러스실리카막을 형성하는 단계 및 포러스실리카막 상에 실리콘 산화막을 형성하는 단계를 포함한다.

<29> 상기에서, 기판은 글라스 기판, 실리콘 웨이퍼 기판 또는 플라스틱 기판 또는 하부에 무기질 기판이 부착된 플라스틱 기판을 사용할 수 있다.

<30> 한편, 포러스실리카막을 형성하는 단계는 실리카가 포함된 출발 물질과 용매를 혼합한 후 응축시키는 단계와, 소정의 응축 반응이 진행된 후에 스픬 코팅법으로 성막하는 단계 및 베이킹을 통한 열분해를 실시하는 단계를 포함하여 이루어진다. 여기서, 출발 물질로는 TEOS 또는 TMOS를 사용하고, 용매로는 에탄올을 사용할 수 있다. 이때, 응축 반응을 촉진시키기 위하여 산성의 염산 용액이나 염기성의 암모니아수 용액을 촉매제로 혼합하거나, 친수성기와 소수성기를 모두 가지고 있는 계면활성제를 혼합할 수 있다.

<31> 본 발명의 실시예에 따른 반도체 소자의 박막 트랜지스터 제조 방법은 기판 상부에 포러스실리카 물질이 포함된 버퍼 절연막을 형성하는 단계와, 버퍼 절연막 상부에 비정질실리콘층을 형성하는 단계와, 레이저를 조사하여 비정질실리콘층을 폴리실리콘 활성층으로 형성하는 단계와, 폴리실리콘 활성층을 포함한 전체 상부에 게이트 절연막을 형성

한 후 소정의 패턴으로 게이트 전극을 순차적으로 형성하는 단계와, 전체 상부에 층간 절연막을 형성한 후 게이트 전극 주변의 폴리실리콘 활성층이 노출되도록 콘택홀을 형성하는 단계 및 폴리실리콘 활성층 상부에 소오스 전극 및 드레인 전극을 형성하는 단계를 포함한다.

<32> 상기에서, 폴리실리콘 활성층은 ELA 방법 또는 SLS 방법으로 형성할 수 있다.

<33> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 한편, 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<34> 도 3a 내지 도 3f는 본 발명의 실시예에 따른 반도체 소자의 박막 트랜지스터 제조 방법을 설명하기 위한 소자의 단면도들이다. 도 4는 도 3d에서 폴리실리콘 활성층을 ELA 방법으로 형성하는 경우를 설명하기 위한 사시도이다. 도 5는 도 3d에서 폴리실리콘 활성층을 SLS 방법으로 형성하는 경우를 설명하기 위한 개념도이다.

<35> 도 3a를 참조하면, 기판(301) 상부에 기계적 성질이 우수한 실리콘 질화막(302)으로 이루어진 베퍼 보호층을 형성한다. 여기서, 기판(301)으로 글라스 또는 실리콘 웨이퍼를 사용할 수 있으며, 플라스틱 기판을 사용할 수도 있다. 이때, 플라스틱 기판을 사용할 경우, 플라스틱 특성 상 휨응력(Bending force)에 의하여 기판 상부에 형성되는 막에 균열 발생, 구조 파괴 등의 기계적 결함이 발생되는 것을 방지하기 위하여, 글라스나

실리콘 웨이퍼 등의 무기질 기판을 플라스틱 기판 하부에 부착할 수도 있다. 이렇게 플라스틱 기판 하부에 부착된 무기질 기판(도시되지 않음)은 박막 트랜지스터가 제조된 후에 제거할 수도 있다.

<36> 한편, 실리콘 질화막(302)은 SiH_4 , NH_3 , N_2 가스를 사용하여 PECVD 방법으로 1000 내지 3000Å 정도의 두께로 증착한다. 실리콘 질화막(302)은 기판(301)에 함유되어 있는 불순물들이 소자의 채널부위로 확산되는 것을 방지하는 역할을 하며, 수분 등이 잘 통과하는 플라스틱 기판을 사용하는 경우 수분을 막아주는 역할을 한다. 또한, 수소화 열처리 공정에서 실리콘 질화막 증착 시 함유되어 있는 수소를 확산 이동시켜 실리콘 채널부의 댕글링 본드(Dangling bond) 등과 결합하여 결함을 막아주고 소자의 전기적 특성을 향상시켜주는 역할을 한다.

<37> 도 3b를 참조하면, 실리콘 질화막(302) 상부에 열전도도가 낮은 포러스실리카 물질을 콜-겔법 등으로 만들고 스펀 코팅(Spin coating) 방법으로 도포하여 포러스실리카막(303)을 형성한다.

<38> 포러스실리카막(303)을 형성하는 방법을 좀 더 상세하게 설명하면 다음과 같다. 먼저, TEOS(Tetraethoxy orthosilicate) 또는 TMOS(Tetramethoxy orthosilicate)와 같이 실리카가 포함되어 있는 출발물질과 에탄올 등의 용매를 물과 함께 섞어 응축시키는데, 이때 응축반응을 촉진시키기 위하여 산성의 염산(HCl)용액이나 염기성의 암모니아수 용액 등을 촉매제로 사용하며, 친수성기와 소수성기를 모두 가지고 있는 계면활성제를 사용할 수도 있다. 용액의 응축반응이 진행되어 적당한 점도를 가졌을 때 스펀 코팅(Spin coating)을 실시하여 성막하고 베이킹(Baking)을 통한 열분해로 계면활성제를 제거하면 포러스실리카막을 형성할 수 있다.

<39> 이렇게 형성된 포러스실리카막(303)은 미세한 포러스 기공에 의하여 조밀한 고체막 보다 막의 열전도도가 매우 작아진다. 이로 인해, 후속 공정으로 비정질 실리콘층을 결정화시키는 공정에서 비정질실리콘이 레이저 조사에 의하여 용융되고 핵생성하여 결정성장이 일어날 때 기판으로 전달되어 소멸되는 열의 량을 최소화할 수 있어 결정성장시간을 극대화할 수 있다. 또한, 포러스실리카막(303)은 레이저 조사 시 실리콘부와 기판사이에서 열을 차단해 주는 효과가 우수하므로, 결정화 공정 진행 중 기판에 가해지는 열충격을 최소화할 수 있어 플라스틱기판의 사용을 가능하게 한다.

<40> 도 3c를 참조하면, 플라즈마 처리로 포러스실리카막(303)의 표면개질을 실시한 후 포러스실리카막(303) 상부에 실리콘 산화막(304)을 형성한다. 이로써, 포러스실리카 물질이 포함된 베퍼 절연막(305)이 실리콘 질화막(302), 포러스실리카막(303) 및 실리콘 산화막(304)의 적층 구조로 형성된다.

<41> 여기서, 실리콘 산화막(304)은 PECVD 방법으로 SiH_4 , N_2O , Ar gas를 사용하여 3000 Å 이하의 두께로 증착한다. 이때, 실리콘 산화막(304)은 후속 공정에서 형성될 실리콘 박막과의 계면특성을 향상시키고 접착력이 우수하면서 열의 흐름을 균등하게 해 주는 완충역할을 한다. 또한, 실리콘 산화막(304)은 표면 거칠기를 감소시키는 역할을 하는데, 표면 거칠기를 최소화하기 위하여 SOG(Spin on glass)등의 방법으로 표면 평탄화용 실리콘 산화막을 형성한 후 PECVD방법으로 실리콘 신화막(304)을 증착하여 2중막으로 형성하거나, SOG 단일막으로 실리콘 산화막(304)을 형성할 수도 있다.

<42> 도 3d를 참조하면, 베퍼 절연막(305) 상부의 소정 영역에 비정질 실리콘층(도시되지 않음)을 형성한 후 레이저를 이용한 결정화 공정을 실시하여 비정질 실리콘층을 폴리 실리콘 활성층(306b)으로 형성하고, 일부 영역(예를 들면, 소오스/드레인 영역)에 불순

물을 주입하여 도프트 폴리실리콘 활성층(306c)을 형성한다. 이때, 레이저를 이용한 결정화 방법은 ELA 방법과 SLS 방법으로 실시할 수 있다. 도면을 참조하여 ELA 방법과 SLS 방법을 설명하면 다음과 같다.

<43> 도 4는 ELA 방법으로 비정질 실리콘층을 결정화시키는 공정을 설명하기 위한 사시도이다. 도 4를 참조하면, 기판(301)이 장착된 스테이지(Stage)를 이동시키면서 라인빔 형태의 레이저를 조사하여 비정질 실리콘층(306a)에 레이저가 조사되도록 한다. 이때, 종래에서와 같이 버퍼 절연막으로 실리콘 산화막만을 형성한 상태에서 ELA 결정화를 실시하면, 실리콘이 용융되는 부위에서 기판방향으로 열의 흐름이 증가되며, 이로 인해 결정성장 기간 동안 열이 유지되는 시간이 짧아지면서 결정성장시간(Duration time)의 확보가 어려워져서 결정립 크기가 작은 폴리실리콘 박막이 형성된다. 하지만, 본 발명에서는 버퍼 절연막으로 포러스실리카 물질이 포함된 버퍼 절연막(305)을 형성함으로써, 레이저 조사 부위에서 기판(301)으로의 열 전달을 효과적으로 차단할 수 있어 결정성장 기간 동안 열의 보존이 가능하며 결정립 크기가 큰 폴리실리콘 활성층(306b)을 형성할 수 있다.

<44> 도 5는 SLS 방법으로 비정질 실리콘층을 결정화시키는 공정을 설명하기 위한 단면도이다.

<45> 도 5를 참조하면, 종래에는 버퍼 절연막을 실리콘 산화막의 단일막 구조로 형성했기 때문에 결정화 공정 시 기판 방향으로 열이 소멸되어 측면 성장하는 실리콘 결정의 길이(Super Lateral Grain; SLG)를 증가시키는데 문제가 있었다. 또한, 마스크 패턴의 간격을 줄여서 결정의 가운데 핵생성부가 형성되는 것을 억제할 수

있으나, 마스크를 순차적으로 이동시켜 기판 전면에 거대결정을 형성하기 위한 마스크 이동횟수가 증가하여 생산성(throughput)이 저하되는 문제가 있었다. 하지만, 본 발명에서는 포러스실리카막(303)을 포함하는 베퍼 절연막(305) 구조에서는 기판(301)방향으로 소멸되는 열의 흐름을 최소화하여 한번의 레이저 조사만으로도 측면성장하는 실리콘의 SLG 길이를 증가시킬 수 있어 마스크 패턴(501)의 간격을 확보할 수 있으며, 이동횟수를 줄일 수 있으므로 생산성을 향상시킬 수 있다.

<46> 또한, 플라스틱 기판을 사용할 경우에도 열전도도가 매우 작은 포러스실리카막(303)이 플라스틱 기판으로 전달되는 열을 효과적으로 차단하므로, 충분한 에너지로 레이저를 조사할 수 있어 우수한 결정립의 폴리실리콘 활성층(306b)을 얻을 수 있다.

<47> 도 3e를 참조하면, 폴리실리콘 활성층(306b) 및 도프트 폴리실리콘 활성층(306c)을 포함한 전체 상부에 게이트 절연막(307)을 형성한다. 이어서, 폴리실리콘 활성층(306b) 상부의 게이트 절연막(307) 상부에 게이트 전극(308)을 형성한 후, P형 박막트랜지스터에는 P형 불순물을, N형 박막트랜지스터에는 N형 불순물을 도핑한다. 불순물을 도핑한 후에는, 불순물을 활성화시키기 위하여 열처리를 실시하는데, 열처리 공정은 가열로 열처리, 급속열처리, 마이크로웨이브 열처리, 레이저 활성화 방법 등으로 실시한다.

<48> 도 3f를 참조하면, 전체 상부에 층간절연막(309)을 형성하고 도프트 폴리실리콘 활성층(306c)이 노출되도록 층간 절연막(309)에 콘택홀을 형성한 후 소오스 전극(310)과 드레인 전극(311)을 데이터 전극으로 형성한다. 이어서, 상기와 같이 형성된 박막트랜지스터 상부에 보호층(312)을 형성하고 수소화열처리를 실시한 후 드레인 전극(311)이 노출되도록 보호층(312)에 콘택홀을 형성한다. 드레인 전극(311) 상부에 픽셀 전극(313)을 형성하여 박막트랜지스터를 완성한다.

【발명의 효과】

<49> 상술한 바와 같이, 본 발명은 포러스실리카 물질이 포함된 버퍼 절연막 구조를 도입함으로써 버퍼층의 열전도도를 크게 감소시켜 순차측면고상화를 통한 결정화 공정 시 실리콘의 단결정으로 측면결정성장하는 SLG 길이를 극대화할 수 있어 공정 시 마스크의 이동횟수를 최소화하여 생산성을 향상시킬 수 있다. 뿐만 아니라, ELA 결정화 공정 시 기판으로 전달되는 열을 차단하여 실리콘 결정이 성장하는 시간을 증가시킬 수 있으므로 결정립의 크기가 증대되어 전하 이동도 향상 등의 효과를 얻을 수 있다.

<50> 또한, 온도에 매우 약한 플라스틱기판을 사용하여 폴리실리콘 박막트랜지스터를 제조하는 경우에도, 본 발명의 버퍼절연층 구조를 사용하면 결정화시 레이저에 의한 기판 손상을 방지할 수 있어 충분한 에너지의 레이저를 조사할 수 있게 되므로 우수한 결정질의 폴리실리콘층을 형성할 수 있다.

<51> 한편, 버퍼 절연층을 실리콘 질화막, 포러스실리카막 및 실리콘 산화막의 적층 구조로 형성함으로써, 공개특허공보 제2000-3176호에 개시된 인용발명에서 발생될 수 있는 문제점들을 모두 해결할 수 있어 공정의 신뢰성 및 소자의 전기적 특성을 향상시킬 수 있다.

【특허 청구범위】**【청구항 1】**

기판 상에 실리콘 질화막을 형성하는 단계;

상기 실리콘 질화막 상에 포러스실리카막을 형성하는 단계; 및

상기 포러스실리카막 상에 실리콘 산화막을 형성하는 단계를 포함하는 반도체 소자의 버퍼 절연막 형성 방법.

【청구항 2】

제 1 항에 있어서, 상기 기판은 글라스 기판, 실리콘 웨이퍼 기판 또는 플라스틱 기판 또는 하부에 무기질 기판이 부착된 플라스틱 기판인 것을 특징으로 하는 반도체 소자의 버퍼 절연막 형성 방법.

【청구항 3】

제 1 항에 있어서, 상기 포러스실리카막을 형성하는 단계는

실리카가 포함된 출발 물질과 용매를 혼합한 후 응축시키는 단계;

소정의 응축 반응이 진행된 후에 스픬 코팅법으로 성막하는 단계; 및

베이킹을 통한 열분해를 실시하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 버퍼 절연막 형성 방법.

【청구항 4】

제 3 항에 있어서, 상기 출발 물질로는 TEOS 또는 TMOS를 사용하고, 상기 용매로는 에탄올을 사용하는 것을 특징으로 하는 반도체 소자의 버퍼 절연막 형성 방법.

【청구항 5】

제 3 항에 있어서, 상기 응축 반응을 촉진시키기 위하여 산성의 염산 용액이나 염기성의 암모니아수 용액을 촉매제로 혼합하거나, 친수성기와 소수성기를 모두 가지고 있는 계면활성제를 혼합하는 것을 특징으로 하는 반도체 소자의 베퍼 절연막 형성 방법.

【청구항 6】

기판 상부에 포러스실리카 물질이 포함된 베퍼 절연막을 형성하는 단계;

상기 베퍼 절연막 상부에 비정질실리콘층을 형성하는 단계;

레이저를 조사하여 상기 비정질실리콘층을 폴리실리콘 활성층으로 형성하는 단계;

상기 폴리실리콘 활성층을 포함한 전체 상부에 게이트 절연막을 형성한 후 소정의 패턴으로 게이트 전극을 순차적으로 형성하는 단계;

전체 상부에 층간 절연막을 형성한 후 상기 게이트 전극 주변의 상기 폴리실리콘 활성층이 노출되도록 콘택홀을 형성하는 단계; 및

상기 폴리실리콘 활성층 상부에 소오스 전극 및 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 박막 트랜지스터 제조 방법.

【청구항 7】

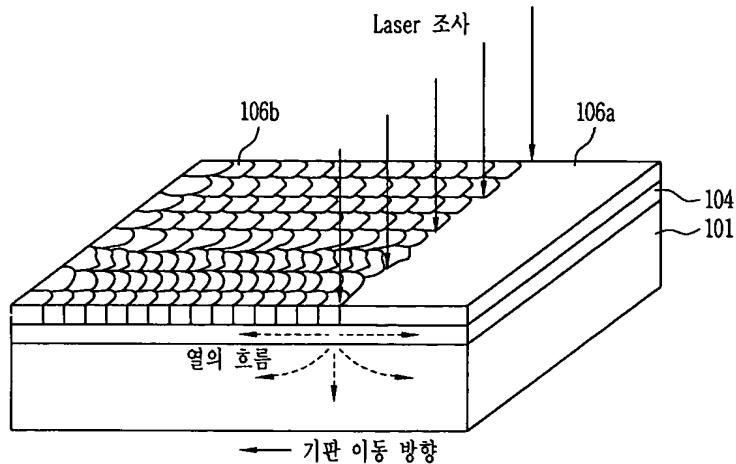
제 6 항에 있어서, 상기 베퍼 절연막은 청구항 제1항 내지 제5항 중 어느 한 항의 방법으로 형성하는 것을 특징으로 하는 반도체 소자의 박막 트랜지스터 제조 방법.

【청구항 8】

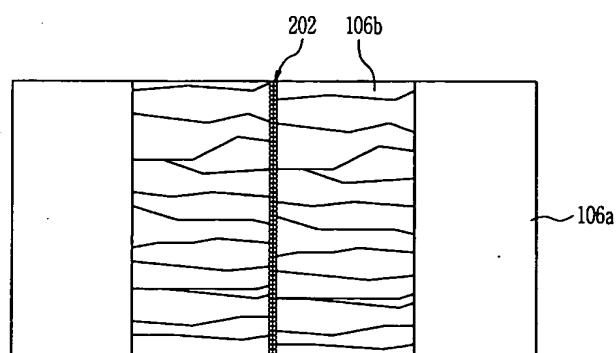
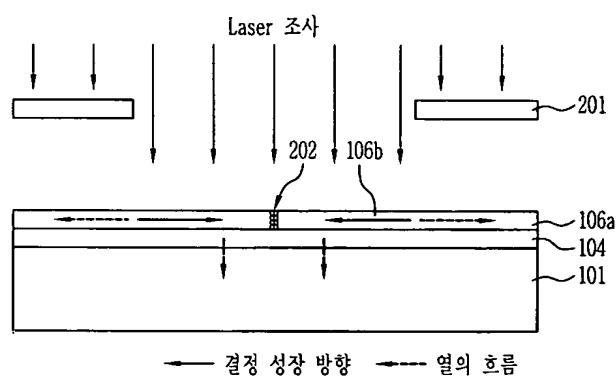
제 6 항에 있어서, 상기 폴리실리콘 활성층은 ELA 방법 또는 SLS 방법으로 형성하는 것을 특징으로 하는 반도체 소자의 박막 트랜지스터 제조 방법.

【도면】

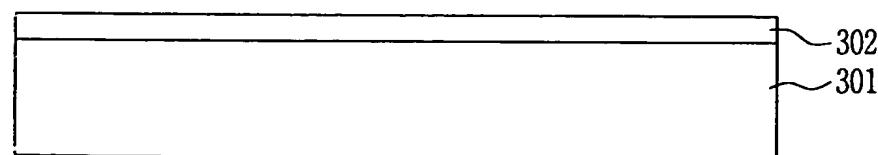
【도 1】



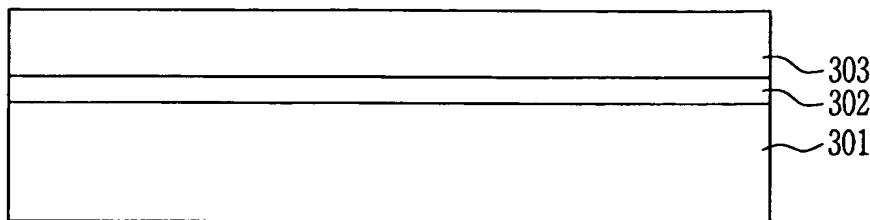
【도 2】



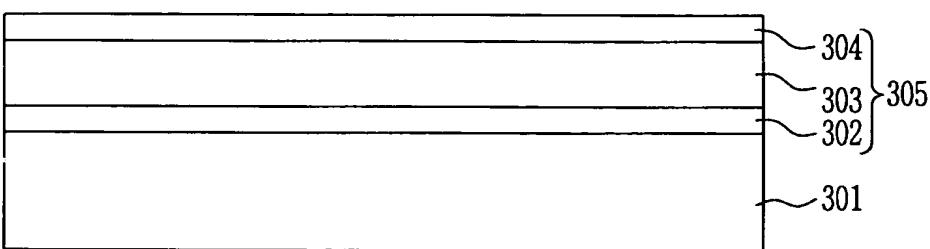
【도 3a】



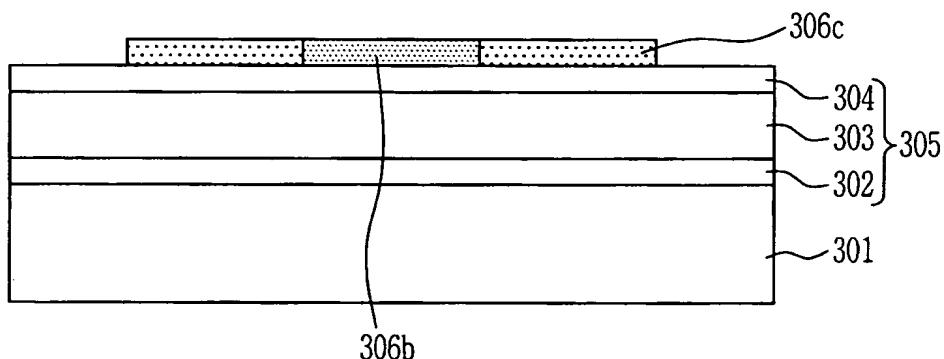
【도 3b】



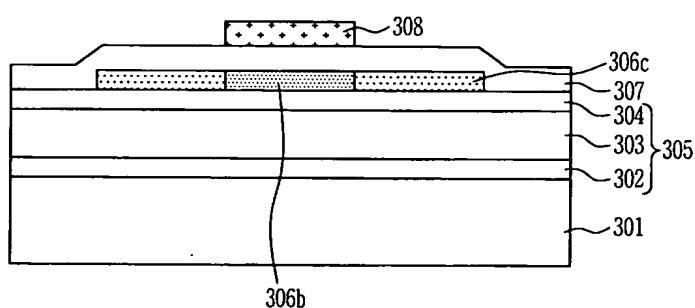
【도 3c】



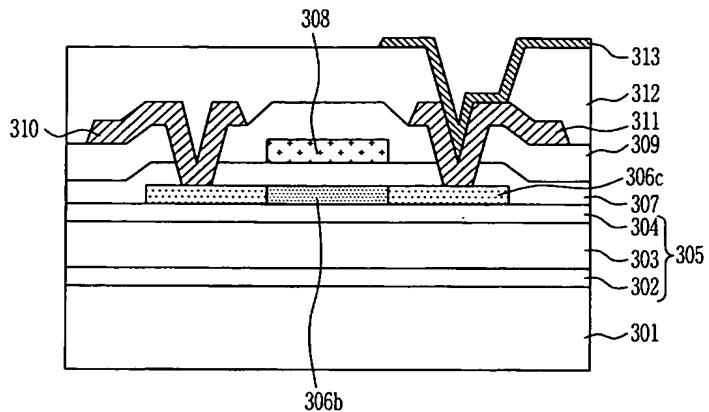
【도 3d】



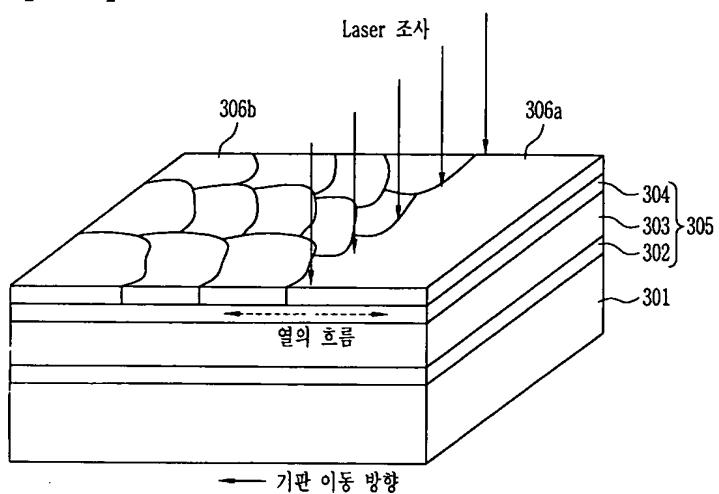
【도 3e】



【도 3f】



【도 4】



【도 5】

